

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年10月 2日

出 願 番 号
Application Number:

特願2002-289999

[ST.10/C]:

[JP2002-289999]

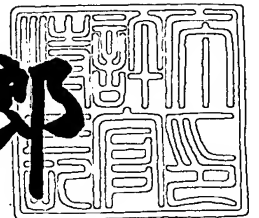
出 願 人
Applicant(s):

株式会社半導体理工学研究センター

2003年 4月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3030474

【書類名】 特許願

【整理番号】 A000200830

【提出日】 平成14年10月 2日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 1/00
G06F 11/22

【発明の名称】 集積回路装置

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県横浜市南区井土ヶ谷中町 1 6 2 - 2 横浜南ガ
ーデン 9 0 8

【氏名】 有馬 幸生

【発明者】

【住所又は居所】 埼玉県蕨市南町 3 - 7 - 6

【氏名】 石橋 孝一郎

【発明者】

【住所又は居所】 千葉県船橋市夏見台 1 - 7 - 2

【氏名】 山下 高廣

【特許出願人】

【識別番号】 396023993

【氏名又は名称】 株式会社 半導体理工学研究センター

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9810816

【ブルーフの要否】 要

【書類名】 明細書
【発明の名称】 集積回路装置
【特許請求の範囲】

【請求項 1】 退避クロック信号に同期して退避データを出力する少なくとも一つの機能モジュールと、

前記機能モジュールからいずれかの機能モジュールを選択し、選択された該機能モジュールへの電源供給の停止及び再開を制御する電源制御ユニットと、

前記電源制御ユニットにより選択された機能モジュールから出力された退避データを格納する退避データ格納部と、

前記退避データ格納部に格納された退避データが復帰クロック信号に同期して前記機能モジュールに復帰される際に、該退避データをエラー検出訂正するエラー検出訂正部と

を具備することを特徴とする集積回路装置。

【請求項 2】 複数のフリップフロップを有し、該複数のフリップフロップがスキランチェーンを構成しており、退避動作時には該フリップフロップのデータを退避クロック信号に同期した該スキランチェーンのシフト動作により出力する一方、復帰動作時には退避したデータを復帰クロック信号に同期した該スキランチェーンのシフト動作により前記フリップフロップに復帰させる少なくとも一つの機能モジュールと、

前記機能モジュールからいずれかの機能モジュールを選択し、選択された該機能モジュールへの電源供給の停止及び再開を制御する電源制御ユニットと、

前記電源制御ユニットにより選択された機能モジュールについて、退避クロック信号及び復帰クロック信号を生成するクロック信号生成部と、

退避動作時又は復帰動作時において、前記電源制御ユニットにより選択された機能モジュールをスキランテストモードに移行させると共に、前記スキランチェーンのシフト動作のために供給するクロック信号として、前記クロック信号生成部により生成された退避クロック信号又は復帰クロック信号を選択するスキランコントローラと、

前記電源制御ユニットにより選択された機能モジュールから前記退避クロック

信号に同期した前記スキランチェーンのシフト動作により出力された退避データを格納する退避データ格納部と、

前記退避データ格納部に格納された退避データが前記復帰クロック信号に同期した前記スキランチェーンのシフト動作により前記機能モジュールのフリップフロップに復帰される際に、該退避データをエラー検出訂正するエラー検出訂正部と

を具備することを特徴とする集積回路装置。

【請求項 3】 前記エラー検出訂正部は、

前記退避データからエラー訂正符号を生成し、前記退避データ格納部に書き込む符号化器と、

前記退避データ格納部から、格納されていた退避データとそれに対応する前記エラー訂正符号を読み出して該退避データを復号化する復号化器とを具備することを特徴とする請求項 1 又は 2 に記載の集積回路装置。

【請求項 4】 前記エラー検出訂正部は、前記退避データ格納部に格納された退避データを定期的にエラー検出訂正することを特徴とする請求項 1 乃至 3 のいずれかに記載の集積回路装置。

【請求項 5】 前記退避データ格納部は前記退避データの複製を複数格納し

、
前記エラー検出訂正部は前記退避データ格納部に格納された複数の複製データを用いる多数決演算によりエラー検出訂正することを特徴とする請求項 1 又は 2 に記載の集積回路装置。

【請求項 6】 前記クロック信号生成部は、前記退避データ格納部における定期的なエラー検出訂正に用いられるクロック信号を生成することを特徴とする請求項 1 乃至 5 のいずれかに記載の集積回路装置。

【請求項 7】 前記退避データ格納部が、自己テスト回路用の記憶手段から構成されることを特徴とする請求項 1 乃至 6 のいずれかに記載の集積回路装置。

【請求項 8】 前記退避データ格納部に格納された退避データを圧縮する圧縮器と、

前記圧縮器により圧縮された退避データを前記機能モジュールへの復帰の際に

復元する復元器と

をさらに具備することを特徴とする請求項 1 乃至 7 のいずれかに記載の集積回路装置。

【請求項 9】 前記退避データ格納部を揮発性メモリにより構成したことを特徴とする請求項 1 乃至 8 のいずれかに記載の集積回路装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は消費電力削減のために機能モジュール単位で電源供給を制御し、内部レジスタ等のデータの退避及び復帰制御を行う集積回路装置に関する。

【 0 0 0 2 】

【従来の技術】

低電力 S o C (システム・オン・チップ) の実現においては、消費電力削減のために遊休 (アイドル) 状態の機能モジュールの動作を停止させるのが常套手段である。機能モジュールの動作を止めるにはクロックの供給を停止するという手法が知られている。しかし、クロック供給を停止し機能モジュールの動作を止めたとしても、機能モジュール自体には電源が供給されつづけているのでリーク電流によって生じる電力の損失を止めることはできない。このため、リークによる電力損失をも削減するためにアイドル状態の機能モジュールへの電源供給を停止する手法が考案されている。このような電源供給を停止され動作停止している機能モジュールの状態をスリープ (S L E E P) 状態という。

【 0 0 0 3 】

電源が遮断されると回路が保持していた情報がすべて失われてしまう。このため、機能モジュールがスリープ状態から復帰し、スリープに入る直前の状態から動作を再開するには、機能モジュールがスリープ状態になり電源供給が停止したとしても、復帰後に必要となるデータを保持してられる回路構成が必須である。このような回路構成としては、機能モジュールを構成する回路素子のうち必要なデータを保持する回路素子の電源は常に供給し、その他の回路素子の電源供給のみ停止する手法や、必要なデータを別のメモリブロックなどに退避・保存して

おく手法が提案されている。

【 0 0 0 4 】

図 1 3 はかかる従来例を示す図である。同図に示す V D D は電源であり、この電源 V D D に対しそれぞれスイッチ S W A , S W B , S W C を介してロジック L A , L B , L C が接続されている。ロジック L A と L B の間およびロジック L B と L C の間にはそれぞれフリップフロップ F F 1 , F F 2 が接続されている。これらフリップフロップ F F 1 , F F 2 は電源 V D D にも接続されている。ロジック L A , L B , L C は組合せ回路に相当し、フリップフロップ F F 1 , F F 2 は順序回路に相当する。フリップフロップ F F 1 , F F 2 には、スリープ後にその直前の状態から動作を再開できるようデータを保持するために常に電源が供給されるようにする一方、ロジック L A , L B , L C については消費電力削減のために必要に応じてスイッチ S W A , S W B , S W C を O F F にすることで電源 V D D からの給電を遮断する。このように給電方法を制御する従来例によれば、フリップフロップ F F 1 , F F 2 には常に電源が供給されるのでデータの退避動作が不要であるという利点がある。当然ながらデータ退避先の記憶領域を確保する必要もない。しかしながら、図 1 3 から分かるように電源 V D D からの配線をスイッチ S W A , S W B , S W C (ロジック L A , L B , L C) へのものと、フリップフロップ F F 1 , F F 2 へのものとに分ける必要があり、これにより回路のレイアウトが非常に困難となる。また、貫通電流を防止する目的からフリップフロップ F F 1 , F F 2 の前段に N A N D ゲート等を設ける必要があり、これによりゲート段数が増加するというデメリットもある。

【 0 0 0 5 】

なお、この図 1 3 の従来例と同様の先行技術が非特許文献 1 にも記載されている。

【 0 0 0 6 】

また、消費電力削減を目的として機能モジュールへの電源供給を適宜遮断する際に、データ退避を行う技術が幾つか提案されている。かかる従来例は、ロジックのみ電源供給を遮断しフリップフロップについては常に電源供給する上述の従来例とは異なり、機能モジュール内の必要なデータを退避した後に、該機能モジ

ユーザ内への全ての電源供給を遮断するというものである。このようなデータ退避を行う従来例の一つに、メモリの内容を外部記憶装置（ハードディスク装置等）に退避するものがある（特許文献 1 参照）。この従来例では、ハードディスク装置等を用いていることから、データ退避先でのエラー発生を抑えることができ信頼性が高いものの、データ退避及びその復帰動作の際の遅延時間の問題がある。

【 0 0 0 7 】

また、データ退避を行う他の従来例として、フリップフロップのデータをスキャンチェーン用いて強誘電体メモリ（F R A M : Ferroelectric Random Access Memory）に退避するもの（特許文献 2 参照）がある。この従来例は、待機動作時のリーク電流を削減可能であり、消費電力削減の目的に適うものではあるが、製造時において通常ロジックと F R A M との混載プロセスが必要であることから、コスト面において不利である。

【 0 0 0 8 】

F R A M のような不揮発性メモリに代えて D R A M のような揮発性メモリをデータの退避先とする場合、消費電力削減のためにデータ退避先への供給電圧をデータ保持に必要な最低電圧としても、いわゆるソフトエラー等の発生による退避したデータの信頼性低下を抑えられることが好ましい。ソフトエラーは、トランジスタが保持したデータが外部から入射した α 線や中性子の影響で発生した電荷によって変化させられる現象である。 α 線や中性子が生成する最大電荷量は 1 5 ～ 1 5 0 f C 程度であり、トランジスタの保持している電荷が、該 1 5 ～ 1 5 0 f C 程度の電荷発生では影響を受けないほど多ければ、ソフトエラーは発生しない。しかし、そのためには回路への印加電圧を高くしなければならず、低消費電力化の妨げとなってしまう。

【 0 0 0 9 】

また、低消費電力化という点からだけでなく、近年のプロセス微細化によってトランジスタの印加可能電圧が低下しているという問題もある。例えば、1 0 0 n m プロセスで 1 . 0 V 動作の場合の論理セルの臨界電荷量はおよそ 1 0 f C という報告がある（非特許文献 2 参照）。臨界電荷量とは、これ以上の電荷が加わ

ったときにトランジスタが保持したデータが失われる電荷量である。このことにより中性子が生成する電荷量よりも臨界電荷量を大きくするには通常の 1 5 倍の電圧をかける必要が生じることになる。これは、プロセスの微細化が進んでいる現状では、印加電圧を高くすることでソフトエラーを回避することは事実上、不可能となってきたことを示している。

【 0 0 1 0 】

【特許文献 1】

特開 2 0 0 0 - 8 2 0 1 4 公報

【 0 0 1 1 】

【特許文献 2】

特開平 1 0 - 7 8 8 3 6 号公報

【 0 0 1 2 】

【非特許文献 1】

Stephen V. Kosonocky, Mike Immediato, Peter Cottrell, et al. : "Enhanced Multi-Threshold (MTCMOS) Circuits Using Variable Well Bias", Proceedings of the 2001 International Symposium on Low Power Electronics and Design pp.165-169, 2001

【 0 0 1 3 】

【非特許文献 2】

P. Shivakumar, D. Burger, et al.: "Modeling the Effect of Technology Trends on the Soft Error Rate of Combinational Logic", Intl. Conf. On Dependable System and Network, 2002

【 0 0 1 4 】

【発明が解決しようとする課題】

本発明はかかる事情に鑑みてなされたものであり、消費電力削減のために機能モジュール単位で柔軟に電源供給を制御でき、及びこれに伴い必要なデータの退避及び復帰を制御できる集積回路装置であって、しかもデータ退避の信頼性を低下させることなく低コストで実現可能な集積回路装置を提供することを目的とする。

【 0 0 1 5 】

【課題を解決するための手段】

本発明に係る集積回路装置は、退避クロック信号に同期して退避データを出力する少なくとも一つの機能モジュールと、前記機能モジュールからいずれかの機能モジュールを選択し、選択された該機能モジュールへの電源供給の停止及び再開を制御する電源制御ユニットと、前記電源制御ユニットにより選択された機能モジュールから出力された退避データを格納する退避データ格納部と、前記退避データ格納部に格納された退避データが復帰クロック信号に同期して前記機能モジュールに復帰される際に、該退避データをエラー検出訂正するエラー検出訂正部とを具備することを特徴とする集積回路装置である。

【 0 0 1 6 】

また、本発明に係るより具体的な構成の集積回路装置は、複数のフリップフロップを有し、該複数のフリップフロップがスキランチェーンを構成しており、退避動作時には該フリップフロップのデータを退避クロック信号に同期した該スキランチェーンのシフト動作により出力する一方、復帰動作時には退避したデータを復帰クロック信号に同期した該スキランチェーンのシフト動作により前記フリップフロップに復帰させる少なくとも一つの機能モジュールと、前記機能モジュールからいずれかの機能モジュールを選択し、選択された該機能モジュールへの電源供給の停止及び再開を制御する電源制御ユニットと、前記電源制御ユニットにより選択された機能モジュールについて、退避クロック信号及び復帰クロック信号を生成するクロック信号生成部と、退避動作時又は復帰動作時において、前記電源制御ユニットにより選択された機能モジュールをスキランテストモードに移行させると共に、前記スキランチェーンのシフト動作のために供給するクロック信号として、前記クロック信号生成部により生成された退避クロック信号又は復帰クロック信号を選択するスキランコントローラと、前記電源制御ユニットにより選択された機能モジュールから前記退避クロック信号に同期した前記スキランチェーンのシフト動作により出力された退避データを格納する退避データ格納部と、前記退避データ格納部に格納された退避データが前記復帰クロック信号に同期した前記スキランチェーンのシフト動作により前記機能モジュールのフリッ

プフロップに復帰される際に、該退避データをエラー検出訂正するエラー検出訂正部とを具備することを特徴とする集積回路装置である。

【 0 0 1 7 】

なお、上記構成について、さらに、前記エラー検出訂正部を、前記退避データからエラー訂正符号を生成し、前記退避データ格納部に書き込む符号化器と、前記退避データ格納部から、格納されていた退避データとそれに対応する前記エラー訂正符号を読み出して該退避データを復号化する復号化器とを具備する具体的な構成としてもよい。

【 0 0 1 8 】

また、前記エラー検出訂正部が、前記退避データ格納部に格納された退避データを定期的にエラー検出訂正する構成としてもよい。

【 0 0 1 9 】

また、前記退避データ格納部が前記退避データの複製を複数格納し、前記エラー検出訂正部が前記退避データ格納部に格納された複数の複製データを用いる多数決演算によりエラー検出訂正する構成としてもよい。

【 0 0 2 0 】

また、前記クロック信号生成部が、前記退避データ格納部における定期的なエラー検出訂正に用いられるクロック信号を生成する構成としてもよい。

【 0 0 2 1 】

また、前記退避データ格納部を、自己テスト回路用の記憶手段により構成してもよい。

【 0 0 2 2 】

また、前記退避データ格納部に格納された退避データを圧縮する圧縮器と、前記圧縮器により圧縮された退避データを前記機能モジュールへの復帰の際に復元する復元器とをさらに具備する構成としてもよい。

【 0 0 2 3 】

【発明の実施の形態】

以下、図面を参照しながら本発明の実施形態を説明する。本実施形態は低電力 S o C (システム・オン・チップ) の実現に好適であり、消費電力削減のために

遊休（アイドル）状態の機能モジュールに対する給電を遮断してスリープ（SLEEP）状態に遷移させる集積回路装置に関する。本実施形態の集積回路装置では、機能モジュールへの電源供給を遮断する際にデータ退避を行い、所定のイベントに応じて、退避したデータを該機能モジュールに復帰させ、スリープ状態から通常動作状態に復帰させる。

【 0 0 2 4 】

図 1 は本発明に係る集積回路装置の基本構成図である。図 1 に示す 1 は PMU（Power Management Unit: 電源管理ユニット）、2 は機能モジュール、3 は退避部である。機能モジュール 2 に設けられたスイッチ SW 1 の制御端子には、PMU 1 からの電源制御信号線が接続されている。このスイッチ SW 1 は PMU 1 からの電源制御信号に応じて ON 又は OFF となり、これにより機能モジュール 2 に対する電源の供給又は遮断が制御される。

【 0 0 2 5 】

図 1 に示すように、退避部 3 は、符号化器 5、退避データ格納領域 6、および復号化器 7 を有する。符号化器 4 は、データ退避時において、退避クロック信号に同期して機能モジュール 2 から出力された退避データをエラー検出訂正のために符号化する。これにより得られた符号化データを退避データと共に退避データ格納領域 6 に出力する。退避データ格納領域 6 には、例えば揮発性メモリが用いられる。後述するが、退避データ格納領域 6 は専用領域として新規に設けられたり、既存のメモリ領域が利用される。既存のメモリ領域としては、DRAM や、キャッシュ（CACHE）メモリを構成する SRAM 等である。

【 0 0 2 6 】

復号化器 7 は、退避データ格納領域 6 に格納されている退避データと、対応する符号化データとを読み出して復号化を行い、エラー訂正がなされた退避データを出力する。復号化器 7 によりエラー訂正がなされた退避データは復帰クロック信号に同期して機能モジュール 2 に復帰される。なお、このようなエラー訂正動作は、少なくとも、退避データ格納領域 6 から機能モジュール 2 に退避データが復帰される前に行うこととするが、データ退避期間中において定期的に行うことが好ましい。図 1 の構成では退避部 3 には常時電源が供給される。しかし、電力

効率を考慮すると退避部 3 には使用されるときのみ電源が供給されることが好ましいことから、同退避部 3 への電源供給を制御するためのスイッチ（SW 2）を備えていても良い。この場合、退避部 3 に設けられたスイッチの制御端子には、機能モジュール 2 に設けられたスイッチ SW 1 と同様に PMU 1 からの退避制御信号線が接続され、その退避制御信号に応じて ON 状態又は OFF 状態となることで、退避部 3 の使用状態（イネーブル状態）又は未使用状態が機能モジュール 2 の電源供給状態に応じて制御されることになる。

【 0 0 2 7 】

図 2 はスキランチェーンを用いたデータのシフト動作を説明するための図、図 3 はデータの退避及び復帰に係る処理の流れを示すフローチャートである。図 2 に示すように、機能モジュール 2 は複数のフリップフロップ（Scan-FF） 2 1 を有し、該複数のフリップフロップ 2 1 がスキランチェーン 1 1 を構成している。一方、退避部 3 の退避データ格納領域 6 はシフトレジスタ 2 2 を構成しており、データの退避時においてスキランチェーン 1 1 の出力端に接続される。なお、退避データ格納領域 6 にシフトレジスタ 2 2 を用いる構成は、説明の簡単化のため想定したものであり、本発明はかかる構成に限定されないことは言うまでもない。

【 0 0 2 8 】

先ず、スリープモードへの遷移判定を行う（ステップ S 1）。機能モジュール 2 がスリープモードに遷移すると、退避部 3 は退避動作を開始する（ステップ S 2）。機能モジュール 2 は退避クロック信号に同期してスキランチェーン 1 1 のシフト動作を行い、フリップフロップ 2 1 が保持している値を順番に出力する。この出力されたフリップフロップ 2 1 の値は、退避クロック信号に同期して退避部 3 のシフトレジスタ 2 2 に退避されていく（ステップ S 3）。退避クロック信号の周波数は、可能な限り低速でよい。

【 0 0 2 9 】

なお、退避すべき値を保持しているフリップフロップ（例えば機能モジュール 2 の内部レジスタを構成するようなもの）を、一つのスキランチェーン 1 1 に纏める構成にしておけば、データ退避領域側すなわち退避部 3 において必要なフリ

ップフロップの数、および、退避に要するクロックサイクル数を必要最低限に抑えることができ好ましい。

【 0 0 3 0 】

また、退避部 3 のフリップフロップは、図 2 のようなシフトレジスタ 2 2 のような直列接続としても構わないが、図 4 に示すように、数ビットからなるグループ 1 7 の分割単位としてもよい。この図 4 の構成によれば、符号化器 5 によりチェックビット 1 6 を生成する符号化処理が簡単に行える。また、この図 4 の構成は一種のパラレルーシリアル変換であり、退避部 3 内の殆どのフリップフロップのクロックをより低速にすることが可能になることから、電力消費量削減の面で有利である。

【 0 0 3 1 】

機能モジュール 2 は、必要な全てのフリップフロップ 2 1 の値を退避部 3 側に退避し終えた時点（ステップ S 4 = Y E S）でスリープモードに遷移する。一方、退避部 3 はシフトレジスタ 2 2 のシフト動作を停止し、機能モジュール 2 から退避された値を保持し続ける。このとき、データ退避領域の電圧すなわちシフトレジスタ 2 2 の動作電圧を、同シフトレジスタ 2 2 が値を保持できる最低限の電圧まで下げる構成とすれば、電力消費量削減の面で有利である。

【 0 0 3 2 】

定期的なエラー検出訂正以外の退避部 3 の動作状態は、言うまでもなく退避データを記憶するという動作状態である。この状態では回路内のトランジスタのスイッチングが発生しないので、スイッチングによる電力消費は発生しない。しかしながら、今日の半導体プロセスでは微細化が進み、サブスレッショルドリークによる電力消費が無視できなくなっている。このサブスレッショルドリークは印加電圧に比例して増加することから、低消費電力化のためには退避部 3 の印加電圧を極力低くすることが望ましい。例えば、1 0 0 n m プロセスでは電圧 1 . 0 V 程度が通常動作時に用いられるが、データを記憶しておくだけならばトランジスタのスレッショルド電圧近辺（例えば 0 . 3 ~ 0 . 5 V 周辺）まで下げることができる。

【 0 0 3 3 】

退避部 3 において、符号化器 5 はシフトレジスタ 2 2 に退避されたデータに対してエラー訂正のための符号化を行う（ステップ S 5）。これにより、エラー訂正符号すなわちチェックビット 1 6 が生成される。生成されたチェックビット 1 6 は、退避部 3 内の図示しないフリップフロップに保存される。尚、チェックビット 1 6 の保存先としては、フリップフロップのみに限定されない。

【 0 0 3 4 】

ここでは、E C C (Error Checking and Correction) の手法を用いることとするが、ソフトエラー発生確率に応じて他の適切な手法を採ってもよい。例えば、S E C - D E D の手法を用いてもよい。S E C - D E D は 1 ビット誤り訂正・2 ビット誤り検出 (Single Error Correction and Double Error Detection) の略称であり、データビット列と符号ビット列に対して特定の演算を行うコーディング方法である。S E C - D E D では、1 ビット分のエラーが生じた場合はこれを訂正可能である。また、2 ビット分のエラーが生じた場合、その訂正はできないがエラーが発生したこと自体は検知できる。

【 0 0 3 5 】

ステップ S 5 においてエラー訂正符号（チェックビット 1 6）を生成したのち、機能モジュール 2 はスリープモードに従い動作停止する。すなわち、P M U 1 からの制御による電源供給が一時的に遮断される（ステップ S 6）。

【 0 0 3 6 】

ここで、退避部 3 において、シフトレジスタ 2 2 の保持値に対して定期的にエラー検出を行うようにし（ステップ S 7）、ステップ S 8 においてエラーを検出した際は復号化器 7 によって該エラーを訂正する構成としてもよい（ステップ S 9）。このような定期的なエラー検出訂正によれば、退避データの信頼性を向上できる。

【 0 0 3 7 】

そしてステップ S 1 0 において機能モジュール 2 のスリープモードが解除されると、先ず機能モジュール 2 が動作を再開する（ステップ S 1 1）。続いて、退避部 3 のシフトレジスタ 2 2 から退避データが読み出されるとともに、フリップフロップに保持されているチェックビット 1 6 も読み出され、これらのデータを

用いて復号化器 7 により復号化が行われる。復号化されたデータは、エラー訂正がなされたものとなる。

【 0 0 3 8 】

エラー訂正が行われた退避データは、退避時とは逆に、スキャンチェーン 1 1 を用いたシフト動作により機能モジュール 2 側に転送され、フリップフロップ 2 1 に戻される（ステップ S 1 2）。シフトレジスタ 2 2 から全ての退避データが機能モジュール 2 のフリップフロップ 2 1 に復帰されると、該機能モジュール 2 はスリープモードに遷移する直前の状態（通常動作モード）に復帰する一方、退避部 3 は動作停止しオフ状態となる（ステップ S 1 3）。

【 0 0 3 9 】

以下、このような本発明に係る集積回路装置の基本構成が適用された種々の実施形態を説明する。

【 0 0 4 0 】

（第 1 実施形態）

図 5 は、本発明に係る集積回路装置の第 1 実施形態を示す構成図である。この第 1 実施形態は、図 1 に示した構成をより具体化したものである。図 1 に示した構成と同様、PMU 1 が電源制御及び退避処理自体の制御を管理する主体である。PMU 1 は、低電力指向の集積回路装置（LSI）に通常設けられるものであって、各機能モジュール 2 へのクロック供給や電源供給の制御を行い、アイドル状態の機能モジュール 2 における電力消費を極力抑える働きを持つ。このような PMU 1 は OS（オペレーティングシステム）のようなソフトウェアで実現されても良いし、ハードウェアで実現されても良い。いずれの場合においても、PMU 1 は特定の機能モジュール 2 へのクロック供給や電源供給の制御を、集積回路装置における処理のヒストリや待機時間をもとに行う。

【 0 0 4 1 】

PMU 1 により管理される機能モジュール 2 は複数あり、同 PMU 1 がいずれかの機能モジュール 2 を選択して電源制御及び退避制御を行うことができるが、本実施形態では説明の便宜上、機能モジュール A のみがスリープ時に退避しておくべきデータを持っており、その他のメモリ等の他の機能モジュール（不図示）

はそのようなデータを持っていないものと仮定する。

【 0 0 4 2 】

また、図 5 の構成においては、退避部 3 には、その電源供給を制御するためのスイッチ S W 2 が設けられている。このスイッチ S W 2 の制御端子には、機能モジュール 2 に設けられたスイッチ S W 1 と同様に P M U 1 からの退避制御信号線が接続されており、その退避制御信号に応じて O N 状態又は O F F 状態となる。これにより退避部 3 の使用状態（イネーブル状態）又は未使用状態が機能モジュール 2 の電源供給状態に応じて制御される。

【 0 0 4 3 】

図 6 はデータの退避及び復帰のタイミングを示すシーケンス図である。図 6 において、C L K _ E N はクロック供給のイネーブル信号、P W _ E N は電源供給のイネーブル信号、S H _ E N は退避部 3 のイネーブル信号である。P M U 1 がある機能モジュール 2 （ここでは図 5 に示されるモジュール A）の電源を O N / O F F する場合、これに先立ち P M U 1 は退避部 3 のイネーブル信号（S H _ E N）を出力する。また P M U 1 は、退避部 3 から、データ退避処理又はデータ復帰処理の動作が完了した旨の返答を受けてから、電源供給のイネーブル信号（P W _ E N）により電源の O N / O F F を制御する。

【 0 0 4 4 】

図 5 に示すスキャンコントローラ 1 0 は、通常では集積回路装置全体をスキャンテストモードに切り替える制御を行うが、スキャンチェーン 1 1 を用いたシフト動作によるデータの退避又は復帰を行う際には、P M U 1 からその旨の指示を受け、該 P M U 1 から指定された機能モジュール（ここではモジュール A）をテストモードイネーブル信号（N T）によりスキャンテストモードに切り替える。

【 0 0 4 5 】

退避部 3 に設けられたパルスジェネレータ 1 3 は、コントローラ 1 2 からの制御により、データ退避処理において必要なデータをスキャンインするため、もしくはデータ復帰処理において必要なデータをスキャンアウトするために必要な数のクロックパルス（p u l s e）を発生し、スキャンコントローラ 1 0 に対して出力する。これらは上述した退避クロック信号又は復帰クロック信号に相当する

。コントローラ 1 2 は、PMU 1 からの指示により、パルスジェネレータ 1 3 による発生パルスの制御および定期的なエラー検出訂正動作を制御するコントローラであり、退避部 3 に設けられている。

【 0 0 4 6 】

以下、このように構成された本実施形態の動作を説明する。

【 0 0 4 7 】

モジュール A が当分使用されないことが PMU 1 により判断された場合、PMU 1 はまずクロック制御ユニット (C l k M g r) にモジュール A へのクロック供給を停止するよう指示する。これを受けてクロック制御ユニットはモジュール A へのクロック供給のイネーブル信号 (C L K _ E N) を “L” にしてクロック供給を停止する。

【 0 0 4 8 】

この状態からさらにモジュール A が当分使用されないことが判断されると、PMU 1 は退避部 3 のイネーブル信号 (S H _ E N) を出力して退避部 3 を動作可能状態にする。

【 0 0 4 9 】

一方、スキャンコントローラ 1 0 は、テストモードイネーブル信号 (N T) を出力し、モジュール A をスキャンテストモードにする。また、このときモジュール A へ供給されるクロックのパスを、通常のスキャンテストモード動作時のクロックパルス信号 (n o r m a l _ c l k) のパスに代えて、退避部 3 のパルスジェネレータ 1 3 から供給されるクロックパルス信号 (p u l s e) のパスに切り替える。

【 0 0 5 0 】

イネーブル信号 (S H _ E N) により退避部 3 が動作可能状態になると、パルスジェネレータ 1 3 はクロックパルス信号 (p u l s e) の生成を開始する。このクロックパルス信号は上記のようにパスが切り替えられたスキャンコントローラ 1 0 を通じてモジュール A のスキャンチェーン 1 1 に供給される。このクロックパルス信号に同期して、スキャンチェーン 1 1 のフリップフロップが保持していたデータが順次シフトアウトされる。モジュール A からシフトアウトされたデ

ータは退避部 3 のシリアルパラレル変換器及び符号化器 1 4 によりシリアルパラレル変換がなされる。また、該データに対する訂正符号化処理によりチェックビットが生成され、退避データとともに退避データ格納領域 6 に格納されていく。

【 0 0 5 1 】

なお、退避データを圧縮することで退避データ格納領域 6 へ格納する際のデータサイズを小さくすることも可能である。この場合、退避データ格納領域 6 に格納された退避データを圧縮する圧縮器と、この圧縮器により圧縮された退避データを機能モジュールへの復帰の際に復元する復元器とを設ける。

【 0 0 5 2 】

また、退避データ格納領域 6 が十分大きい場合は多数決法などを使うことで、訂正符号化処理が不要となる可能性もある。多数決法を用いる実施形態については後述する（第 6 実施形態）。また、上記シリアルパラレル変換処理は、退避部 3 における動作周波数を下げて電力効率を上げるために行うのであり、必須の処理ではない。

【 0 0 5 3 】

スキランチェーン 1 1 の全てのフリップフロップのデータの退避処理が完了すると、パルスジェネレータ 1 3 はクロックパルス信号の生成を停止する。その後、PMU 1 はモジュール A の電源供給イネーブル信号（PW__EN）を“L”にしてモジュール A の電源を OFF にする。ここまでで、データの退避処理は完了である。

【 0 0 5 4 】

次に、退避データの定期的な検証について説明する。既存のエラー訂正処理にはエラーを訂正できるビット数に上限があることが知られている。データを退避している時間が長くなるにつれて退避データ中のエラーが増加していくので、可能なうちにエラーを訂正しておく必要がある。このため、退避データを保持している間、つまり SH__EN が“H”の間、退避部 3 において次のような定期的なエラー検出・訂正処理を行うことが望ましい。

【 0 0 5 5 】

すなわち、退避データを保持している間、退避部 3 のコントローラ 1 2 が時間

を測定する。一定時間が経過すると、コントローラ 1 2 はパルスジェネレータ 1 3 にクロックパルス信号を生成するよう指示を出す。この指示を受けると、パルスジェネレータ 1 3 はクロックパルス信号を出力し始め、これに同期して復号化器及びパラレルシリアル変換器 1 5 が、退避されているデータの復号化及びパラレルシリアル変換を行う。復号化が行われた時点でエラー訂正は実施されているので、ここで得られたデータはエラーのないデータといえる。ここでシリアルパラレル変換器及び符号化器 1 4 が、訂正後のデータに対し再びシリアルパラレル変換及び符号化処理を施し、退避データ格納領域 6 に格納する。

【 0 0 5 6 】

次に、退避データの復帰について説明する。PMU 1 はモジュール A を動作させる必要が生じたことを判断すると、電源供給のイネーブル信号 (PW__EN) を “H” にしてモジュール A に電源を供給し始める。モジュール A の電源が完全に行き渡って安定すると、退避部 3 に対し退避データを復帰するよう指示を出す (SH__C t r l)。この指示を受けると退避部 3 のパルスジェネレータ 1 3 はクロックパルス信号を生成してスキャンコントローラ 1 0 に出力する。一方、復号化器及びパラレルシリアル変換器 1 5 は復号化及びパラレルシリアル変換を行いながら、退避データ格納領域 6 に格納されていたデータを出力し始める。

【 0 0 5 7 】

このとき、モジュール A はテストモードイネーブル信号 (NT) によってスキャンテストモードに設定されているので、退避部 3 から出力されたデータはデータ退避時と同様、スキャンチェーン 1 1 を通って元のフリップフロップに復帰される。パルスジェネレータ 1 3 は何サイクル分のクロックパルス信号を出力すればよいかの情報をデータ退避時に得ている。退避部 3 から全てのデータが出力され、データの復帰が完了した時点でパルスジェネレータ 1 3 はクロックパルス信号の生成を停止する。

【 0 0 5 8 】

その後、スキャンコントローラ 1 0 はテストモードイネーブル信号 (NT) の出力を停止し、モジュール A を通常動作モードにする。さらに退避部 3 のイネーブル信号 (SH__EN) を “L” にするとともに、該退避部 3 の電源を OFF に

する。これらの処理の後で、PMU1はクロック制御ユニットにモジュールAのクロックを供給するように指示する。これを受けてクロック制御ユニットはクロック供給のイネーブル信号(CLK_EN)を“H”にする。これによってモジュールAは通常の動作を再開する。

【0059】

なお、上記の動作において、機能モジュールのクロック停止の後、更に暫くしてから電源を切るようにしているのは、いったん電源を切ってしまうと次に電源を入れるときに時間がかかるためである。頻繁に機能モジュールのON/OFFが行われる場合はクロックだけを制御して、電源は入れたままにしておくのが一般的である。

【0060】

上述したパルスジェネレータ13は、退避部3に設けられるものとして説明したが、次に説明する第2実施形態の図7の構成のようにスキャンコントローラ10が同等のパルスジェネレータ31を備える構成とし、退避部3にパルスジェネレータ13を設けない構成としてもよい。あるいは、第2実施形態の図7のようにスキャンコントローラ10がパルスジェネレータ31を備えるとともに退避部3もパルスジェネレータ13を備え、両者が協働して制御を行う構成としてもよい。この場合、例えば、データの退避又は復帰動作時には、専らスキャンコントローラ10のパルスジェネレータ31を用い、定期的なエラー検出訂正処理時には専ら退避部3のパルスジェネレータ13を用いるようにする。なお、いずれの構成においても、若干制御方法が異なるものとなるに過ぎず、当業者であればこれらの変形を容易に行うことができる。

【0061】

コントローラ12についても、パルスジェネレータと同様に、スキャンコントローラ10に含めたり、本実施形態のように退避部3の各々が備える構成としてもよい。要するに、PMU1からの指示を認識し、データ退避及び復帰ならびに定期的なエラー検出訂正処理のシーケンスを実行できる構成であれば良い。

【0062】

(第2実施形態)

図 7 は第 2 実施形態に係るスキャンコントローラの構成例を示す図である。本実施形態のスキャンコントローラ 1 0 は、退避部 3 のイネーブル信号（S H _ E N _ A、S H _ E N _ B）を出力する退避コントローラ 3 0 を備えており、P M U 1 ではなくこの退避コントローラ 3 0 を退避又は復帰時の制御主体としている点で上述した第 1 実施形態のものとは構成が異なっている。

【 0 0 6 3 】

本実施形態のスキャンコントローラ 1 0 についても、第 1 実施形態のものと同様に通常では集積回路装置全体をスキャンテストモードに切り替える制御を行う。スキャンチェーン 1 1 を用いたシフト動作によるデータの退避又は復帰を行う際には、P M U 1 からその旨の指示を受け、これに応じて退避コントローラ 3 0 は該当する機能モジュールを選択してイネーブル信号（S H _ E N _ A または S H _ E N _ B）を出力する。また、退避コントローラ 3 0 は選択した機能モジュールに対してテストモードイネーブル信号 N T 1 または N T 2 を出力する。これにより機能モジュールを選択的にスキャンテストモードに切り替えることができる。第 2 実施形態は、このような機能モジュール単位の退避及び復帰制御のためのモード切替の具体的構成に関する。

【 0 0 6 4 】

クロックパルス発生器 3 1 は、必要なサイクル数のクロックパルス信号を生成する。このクロックパルス信号は、図 7 に示す s c a n _ c l k と同じパスを通じて機能モジュールのスキャンチェーンに与えられる。なお、s c a n _ c l k は通常のスキャンテストモード時に用いられるクロックパルス信号である。また、n o r m a l _ c l k _ A および n o r m a l _ c l k _ B は、スキャンテストモードでも退避又は復帰動作モードでもない、通常の動作モード時に用いられるクロックパルス信号である。

【 0 0 6 5 】

図 8 は複数の機能モジュールの夫々に退避部を設ける構成例を示す図である。図 8 に示される複数の機能モジュールには、図 7 に示したスキャンコントローラ 1 0 が接続される。

【 0 0 6 6 】

図 8 から分かるように、モジュール A に対応して退避部 A が設けられ、モジュール B に対応して退避部 B が設けられている。モジュール A ではスキャンチェーン 1 1 を構成する全てのフリップフロップのデータ (scan_out 1) が退避部 A に退避されるのに対し、モジュール B については一部のフリップフロップのデータ (scan_out 2) は退避部 B には退避されず、他のフリップフロップのデータ (scan_out 3) のみが退避部 B に退避される構成である。

【 0 0 6 7 】

機能モジュール毎に退避部を設ける構成とした場合、このような詳細な退避制御を退避部 A と退避部 B とを一つの退避部に纏める場合よりも容易に実現できる。

【 0 0 6 8 】

(第 3 実施形態)

図 9 は本発明に係る集積回路装置の第 3 実施形態 (専用領域へ退避) を示す構成図である。

【 0 0 6 9 】

同図に示す 2 0 は機能モジュールとしてのメモリである。このメモリ 2 0 に対しデータの書き込み及び読み出しを行うモジュール A は、該メモリ 2 0 をアクセスする際のアドレスを生成するアドレス生成器 2 3 を備えている。

【 0 0 7 0 】

退避部 3 は、このような機能モジュールとしてのメモリ 2 0 とは別に、専用領域としての退避データ格納領域 6 を備える。このような退避部 3 は、機能モジュール毎に設けられていてもよいし、複数の機能モジュールに対して一つだけ設けられてもよい。退避データ格納領域 6 を大容量化できる場合、多数決法などを使うことで、訂正符号化処理が不要となる可能性がある。この場合、シリアルパラレル変換器および符号化器 1 4、および復号化器およびパラレルシリアル変換器 1 5 を省略できる。多数決法を用いる実施形態については後述する (第 6 実施形態)。

【 0 0 7 1 】

また、退避データ格納領域 6 をソフトエラー対策ラッチで構成すれば、上述し

た定期的なエラー検出訂正を行わなくとも、所要のデータ信頼性を得ることができる。この場合、シリアルパラレル変換器および符号化器 1 4、および復号化器およびパラレルシリアル変換器 1 5 を省略できる可能性もある。

【 0 0 7 2 】

また、退避データ格納領域 6 を後述する B I S T (Built In Self Test; 自己テスト) 回路などによるテスト処理に使用することができる。また、退避データ格納領域 6 をセット／リセット付きフリップフロップによって構成する場合、退避領域にデータを退避していないときならば、該退避領域に初期化信号を与えることによってセット付きフリップフロップ、リセット付きフリップフロップの並び順に応じたデータを必ず読み出すことができる。これを利用して退避データ格納領域 6 を R O M として使用することも可能である。

【 0 0 7 3 】

(第 4 実施形態)

図 1 0 は本発明に係る集積回路装置の第 4 実施形態 (R A M や C A C H E へ退避) を示す構成図である。

【 0 0 7 4 】

本実施形態の退避部 5 0 0 は、第 3 実施形態のものとは異なりデータ退避先の専用領域を持たず、R A M やキャッシュメモリからなる他の機能モジュール (ここでは例えばメモリ 7 0 0) を退避先として利用する構成である。データを退避／復帰させる際のメモリ 7 0 0 へのアクセスのために、退避部 5 0 0 はアドレス生成器 7 0 1 を備える。また、本構成において、コントローラ 1 2 は、メモリ 7 0 0 に対する書き込みイネーブル信号線 (w E N) および読み出しイネーブル信号線 (r E N) に接続されている。

【 0 0 7 5 】

機能モジュール 1 2 から退避されたデータはシリアルパラレル変換器及び符号化器 1 4 を介して 1 ワードの中に退避データとそれに対応するチェックビットを含んだライトデータとして生成され、address gen 7 0 1 で指定されたアドレスに書き込まれる。退避部 5 0 0 はデータを復帰するのに備えて、退避したデータをメモリ上のどのアドレスに保存したかを記憶しておく必要がある。そのため書

き込んだアドレスを記憶しておくメモリ領域を備えても良いし、メモリ上の各アドレスにそこに格納しているデータが退避データか通常データのどちらかであるかを示す情報（タグ）を備えても良い。

【0076】

また、シリアルパラレル変換器および符号化器14は、メモリ700への書き込みデータ信号線（write_data）に接続されており、復号化器およびパラレルシリアル変換器15はメモリ700からの読み出しデータ信号線（read_data）に接続されている。

【0077】

なお、退避部500は、機能モジュール毎にそれぞれ設けられてもよいし、複数の機能モジュールについて一つだけ設けられる構成としてもよい。また、退避部500がアクセスする退避先としては、一つの退避先（ここではメモリ700）のみならず複数の退避先を用いてもよい。また、退避部毎に異なる退避先を設けてもよい。

【0078】

ここで、データ退避先を専用領域とする上述の第3実施形態と当該第4実施形態との比較、すなわちデータ退避先の違いによる得失（メリット／デメリット）を説明する。

【0079】

データ退避先を専用領域とする上述の第3実施形態の場合、退避データ及び訂正符号を格納する退避領域を新規に用意しなければならないため面積のオーバーヘッドが大きい。なお、電力のオーバーヘッドは機能モジュールが動作しているときには退避部の電源は遮断されているのでわずかである。一方、データ退避先としてRAMやキャッシュを用いる第4実施形態の場合、既存のメモリに対して退避データを格納したアドレスを記憶する領域またはメモリの各アドレスが保持しているデータが退避されたデータであるか通常のデータであるかを判定するためのデータ判定用IDの格納領域を追加するだけで済むので面積のオーバーヘッドは小さい。電力のオーバーヘッドについては、第3実施形態の場合と同様に小さい。なお、データ退避時にはメモリ上の必要な部分のみを動作させるようにして無駄な

電力消費を抑えるべきである。

【0080】

また、第3実施形態の場合、通常動作への影響がほとんどないが、第4実施形態の場合は若干ある。それは例えばノーマルパスの容量増加や退避データを識別する論理が増加（キャッシュのタグ）することである。

【0081】

エラー検出訂正（ECC）の実現容易性に関して、第3実施形態の場合は速度がそれほど重要とされないの、良く知られたECCを利用可能である点で好ましい。ただし、ソフトエラー対策のために、該ECCを定期的に行う必要がある。一方、第4実施形態の場合、退避データ量に対して退避データ格納領域の容量が十分大きい場合、データのコピー（複数）を用いた多数決演算によるエラー検出訂正により容易化が可能である。かかる構成については後の第6実施形態にて説明する。また、通常動作時にECCを兼用できる可能性がある。

【0082】

制御容易性に関して、第3実施形態の場合は通常動作用モジュールから完全に独立した構成とすることができ、極めて容易である。一方、第4実施形態の場合、RAMやキャッシュを使用する他のモジュールが動作中である場合は制御がやや困難化する。

【0083】

以上述べたことから、第4実施形態は、面積のオーバーヘッドのメリット、および容量の特性を生かしたECCの容易化、簡素化のメリットがある。それ以外については当該第4実施形態よりも専用領域への退避を行う第3実施形態の方が有利（特に通常動作への影響が小さいこと）である。

【0084】

（第5実施形態）

図11は本発明に係る集積回路装置の第5実施形態（BIST用メモリへ退避）を示す構成図である。

【0085】

本実施形態の退避部600は、第4実施形態のものと同様にデータ退避先の専

用領域を持たず、他の機能モジュールを退避先として利用する構成であるが、特に本実施形態ではデータ退避先としてBIST (Built In Self Test; 自己テスト) 回路を利用する。BIST回路800は、コントローラ801、パターン生成器802、BISTメモリ803、およびコンパレータ(比較器)804から構成されており、具体的にはBIST用メモリ803をデータ退避先とするものである。BISTについては公知であり詳細な説明は省略するが、コントローラ801からの制御によりパターン生成器802がテストパターンを生成し、これを入力データ(BIST_input_data)としてモジュール2に与える。その結果を出力データ(BIST_output_data)としてモジュール2からBIST回路800側が受け取り、先の入力データと該出力データとをBIST用メモリ803から読み出し、コンパレータ804が比較演算を行って故障の有無を判断するというものである。

【0086】

BIST用メモリ803の容量が十分大きい場合、本実施形態のようにデータ退避先として利用することで上述の第4実施形態と同様に面積オーバーヘッドを小さくできるメリットがある。尚、本実施形態は、BIST回路に代えて、通常動作時には使用されない内部テストモード用のメモリ領域を利用するよう変形することも可能である。

【0087】

(第6実施形態)

図12は本発明に係る集積回路装置の第6実施形態を示す構成図であって、多数決演算によるエラー検出訂正を説明する図である。

【0088】

本実施形態の退避部400は、コントローラ401、退避データ格納領域60、および復号化器403から構成されている。コントローラ401は、大容量のRAMやキャッシュメモリからなる退避データ格納領域60をアクセスする際のアドレスを生成するアドレス生成器402を備える。なお、図12では退避データ格納領域60が退避部400内の専用領域として設けられるよう示されているが、専用領域としてではなく、上述したように他の機能モジュールや、BIST

用メモリを利用する構成としてもよい。

【0089】

コントローラ401は、機能モジュール2からデータが退避されてきた際に、該退避データの複製を複数、生成する。この複数の複製データは退避データ格納領域60の異なる領域に格納される。このように退避されたデータを機能モジュール2に復帰させる際に、エラー検出訂正部としての復号化器403は、これら複数の複製データのすべてを退避データ格納領域60から読み出し、多数決演算を行う。多数決演算の結果として得られるデータは、仮にソフトエラー等がデータ退避中に生じていたとしても、これが訂正された本来のデータとして得られる。このような本実施形態によれば、上述したような定期的なエラー検出訂正処理が不要となり好ましい。

【0090】

なお、本発明は上述した実施形態に限定されず種々変形して実施可能である。

【0091】

【発明の効果】

以上説明したように本発明によれば、消費電力削減のために機能モジュール単位で柔軟に電源供給を制御でき、及びこれに伴い必要なデータの退避及び復帰を制御できる集積回路装置であって、しかもデータ退避の信頼性を低下させることなく低コストで実現可能な集積回路装置を提供できる。特に、消費電力削減のためにデータ退避先への供給電圧をデータ保持に必要な最低電圧としても、データ退避先においてエラー検出訂正を行う構成によって、いわゆるソフトエラー等の発生による退避したデータの信頼性低下を抑えることができる。

【図面の簡単な説明】

【図1】 本発明に係る集積回路装置の基本構成図

【図2】 スキャンチェーンを用いたデータのシフト動作を説明するための

図

【図3】 データの退避及び復帰に係る処理の流れを示すフローチャート

【図4】 退避データ格納領域におけるエラー検出訂正の流れを示す図

【図5】 本発明に係る集積回路装置の第1実施形態を示す構成図

【図 6】 データの退避及び復帰のタイミングを示すシーケンス図

【図 7】 本発明に係る集積回路装置の第 2 実施形態を説明するための図であって、スキャンコントローラの構成例を示す図

【図 8】 第 2 実施形態に係り、複数の機能モジュールの夫々に退避部を設ける構成例を示す図

【図 9】 本発明に係る集積回路装置の第 3 実施形態（専用領域へ退避）を示す構成図

【図 1 0】 本発明に係る集積回路装置の第 4 実施形態（RAM/CACHE へ退避）を示す構成図

【図 1 1】 本発明に係る集積回路装置の第 5 実施形態（BIST 用メモリへ退避）を示す構成図

【図 1 2】 本発明に係る集積回路装置の第 6 実施形態を示す構成図であって、多数決演算によるエラー検出訂正を説明する図

【図 1 3】 従来例に係る給電制御を説明するための図

【符号の説明】

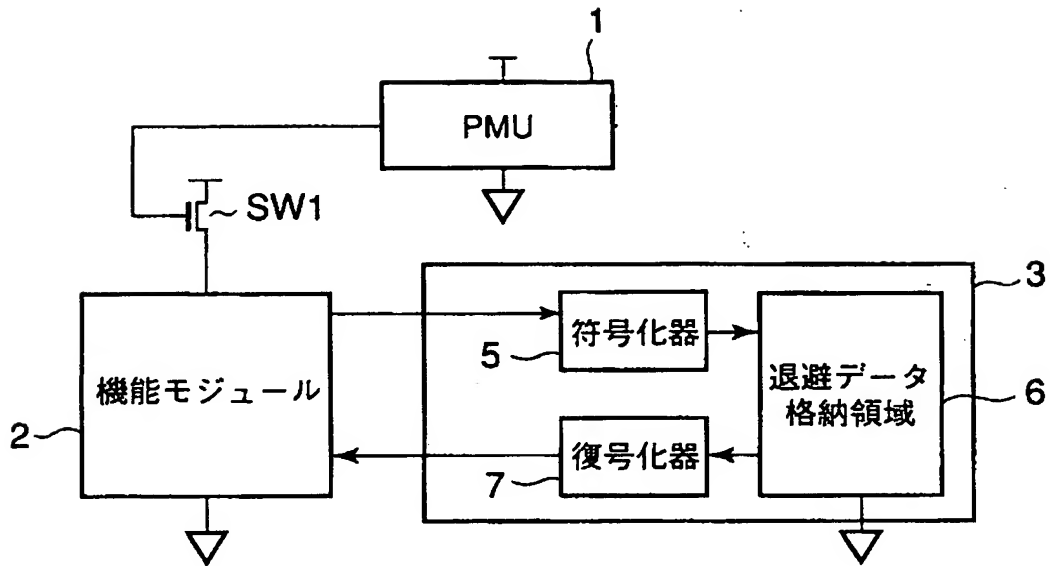
- 1 … PMU（電源管理ユニット）
- 2, 2 0 0, 2 0 1 … 機能モジュール
- 3, 3 0 0, 3 0 1, 4 0 0, 5 0 0, 6 0 0 … 退避部
- 4 … セレクタ
- 5 … 符号化器
- 6, 6 0 … 退避データ格納領域
- 7, 4 0 3 … 復号化器
- 1 0 … スキャンコントローラ
- 1 1 … スキャンチェーン
- 1 2 … コントローラ
- 1 3 … パルスジェネレータ
- 1 4 … シリアルパラレル変換器及び符号化器
- 1 5 … 復号化器及びパラレルシリアル変換器
- 1 6 … チェックビット

- 17…退避データ
- 20, 700…メモリ (RAM又はCACHE)
- 21…フリップフロップ
- 22…シフトレジスタ
- 30…退避コントローラ
- 31…パルスジェネレータ
- 701…アドレス生成器
- 800…BIST (自己テスト回路)
- 801…コントローラ
- 802…パターン生成器
- 803…BIST用メモリ
- 804…コンパレータ

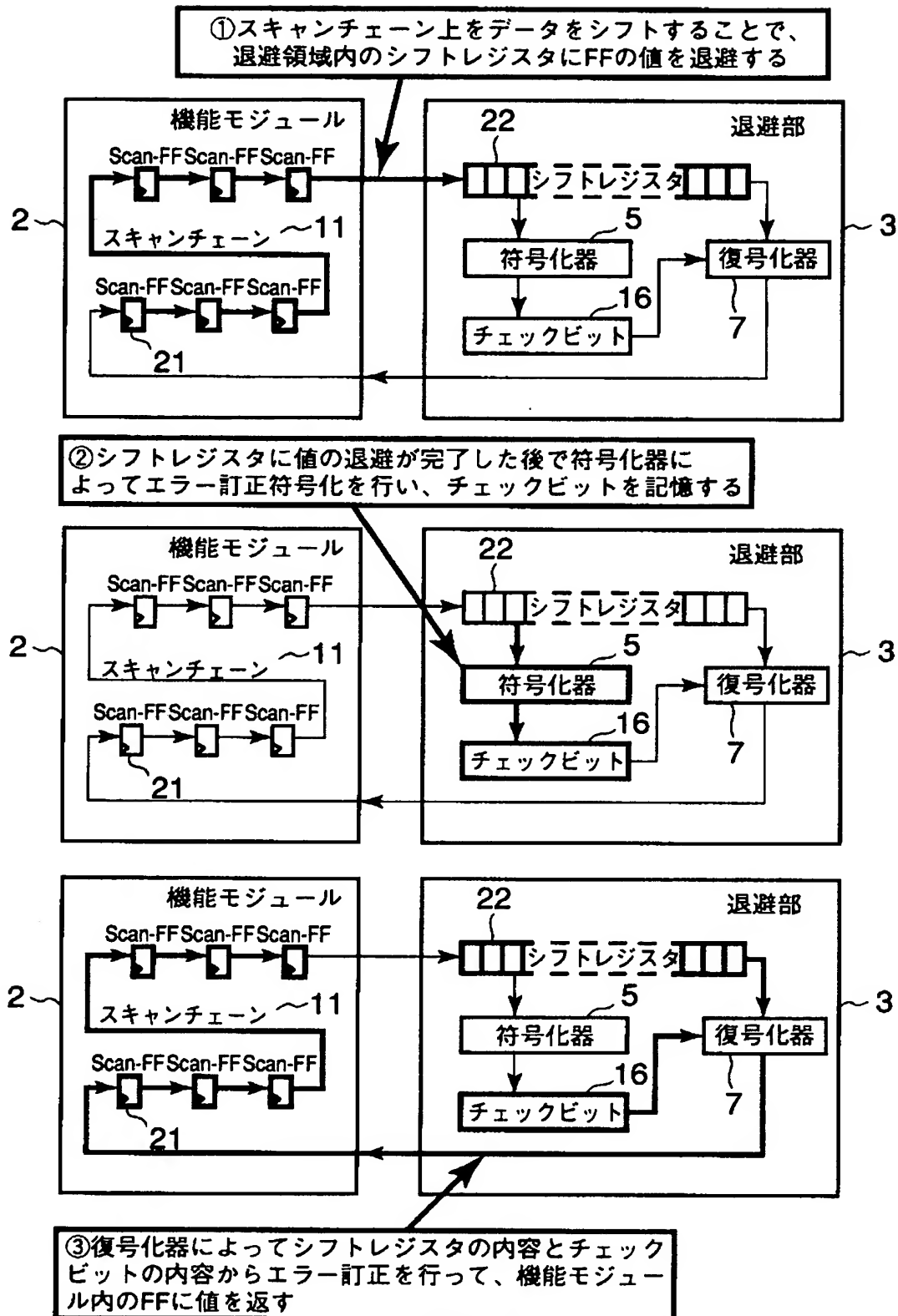
【書類名】

図面

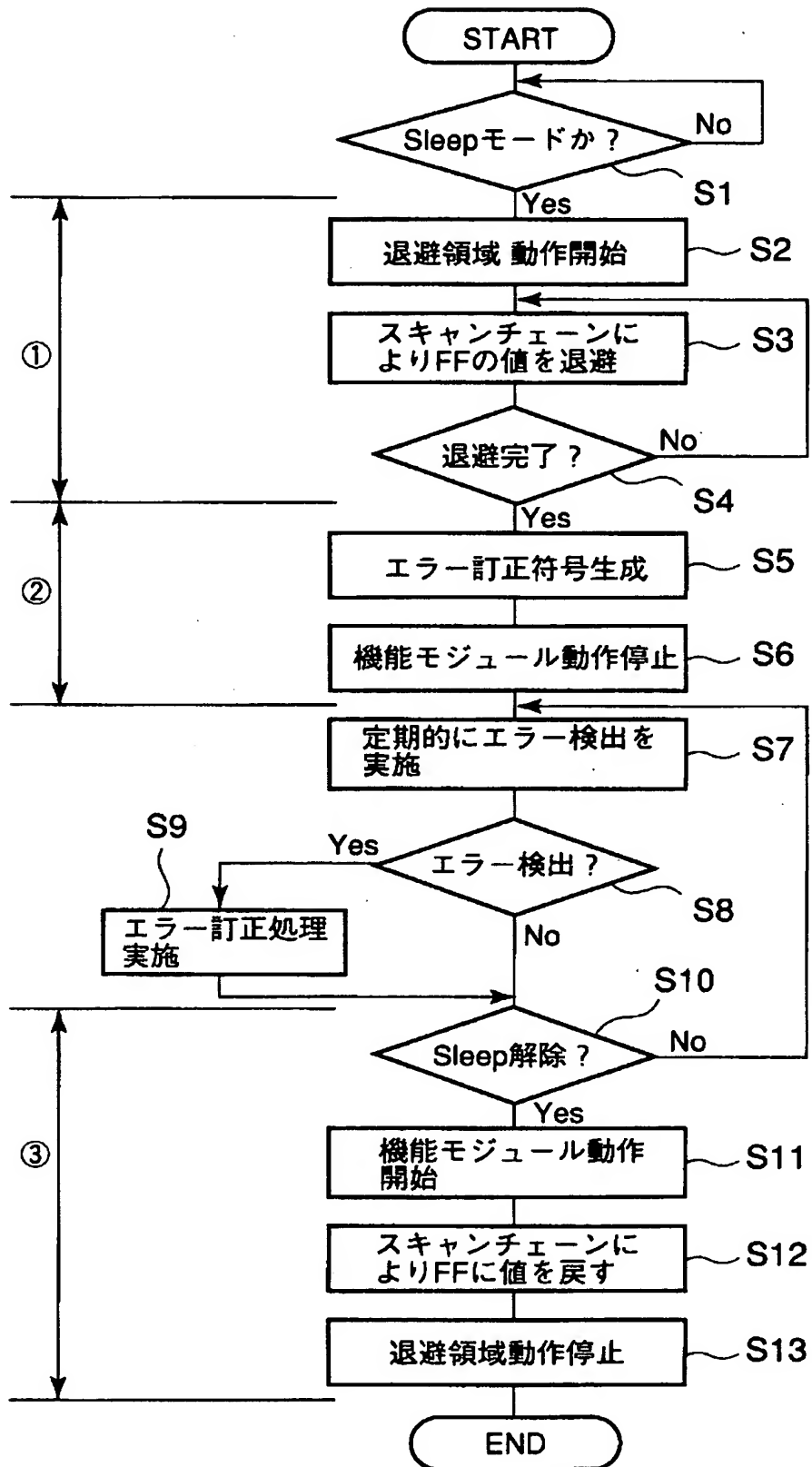
【図1】



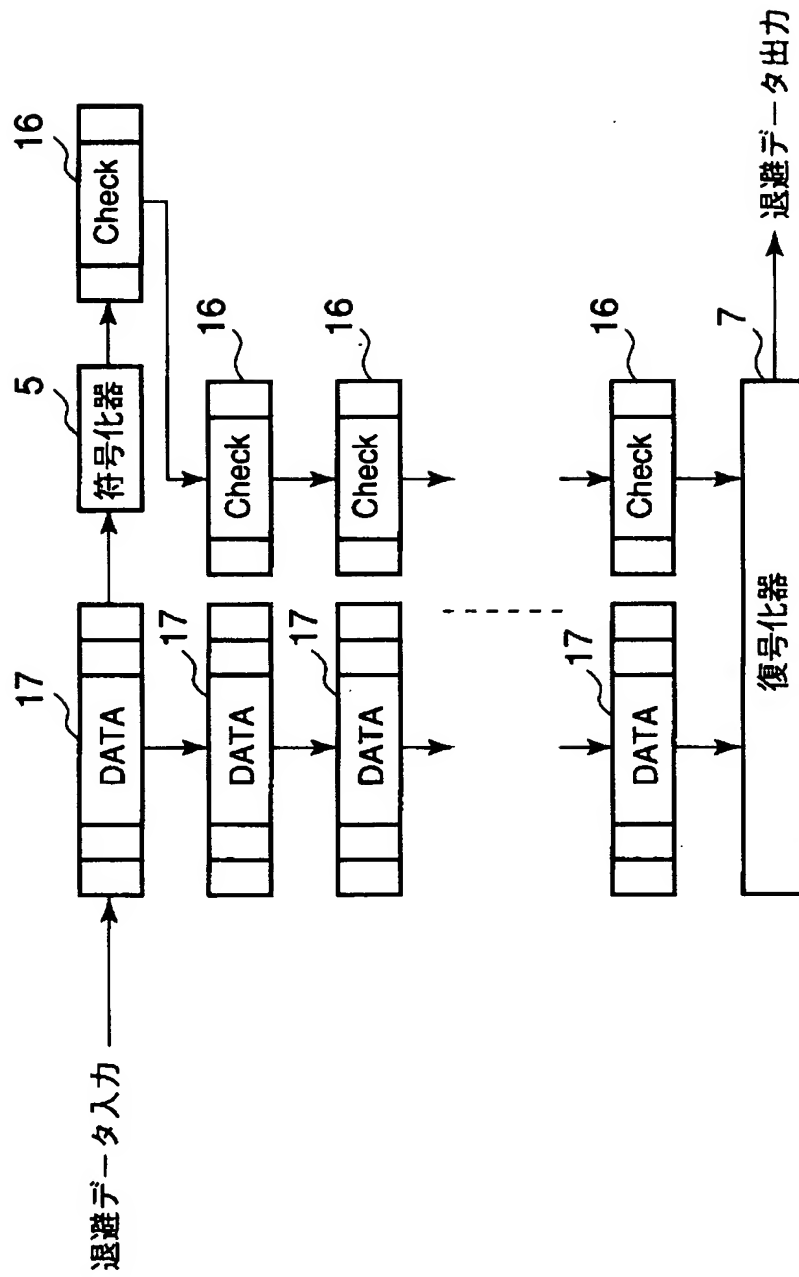
【図 2】



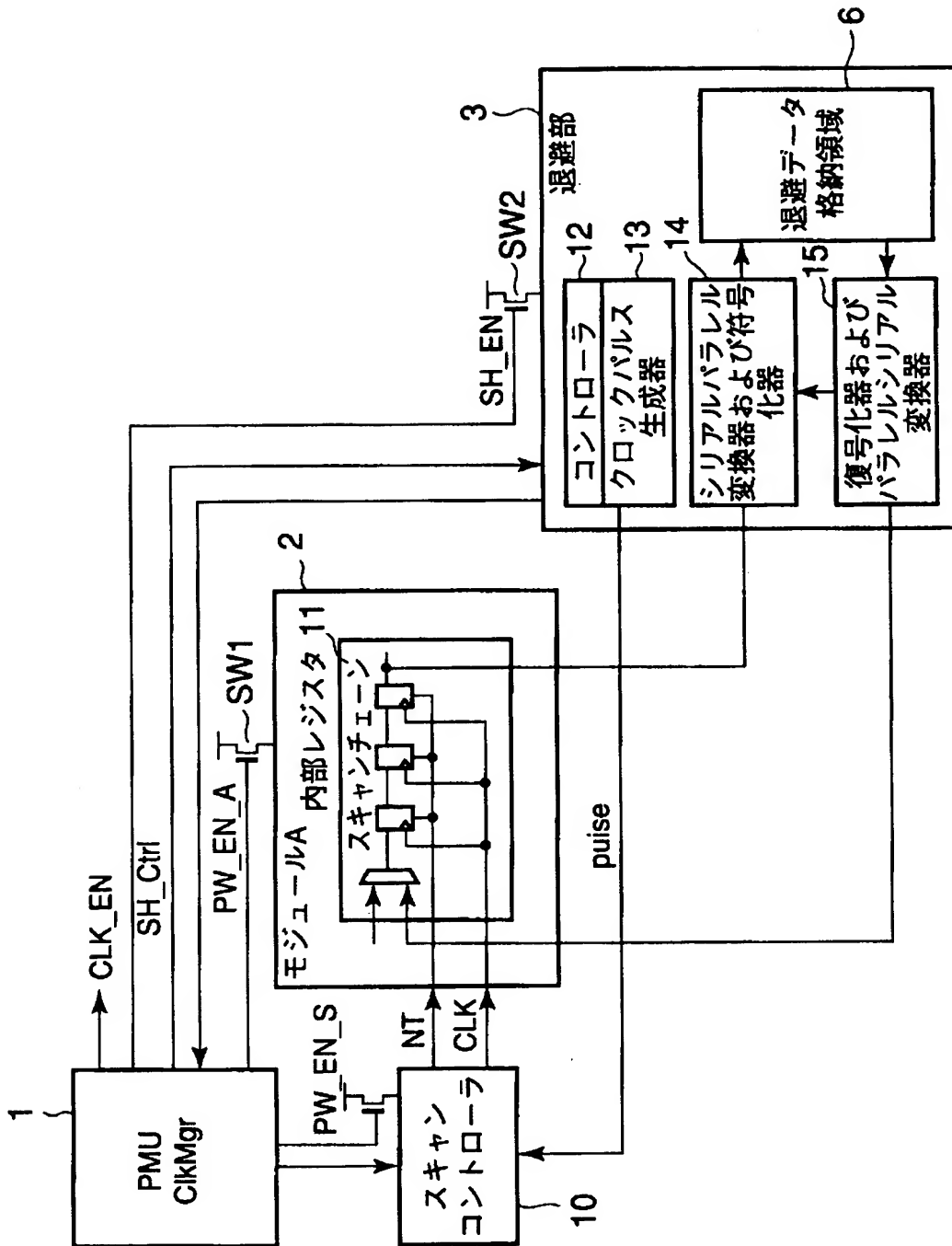
【図 3】



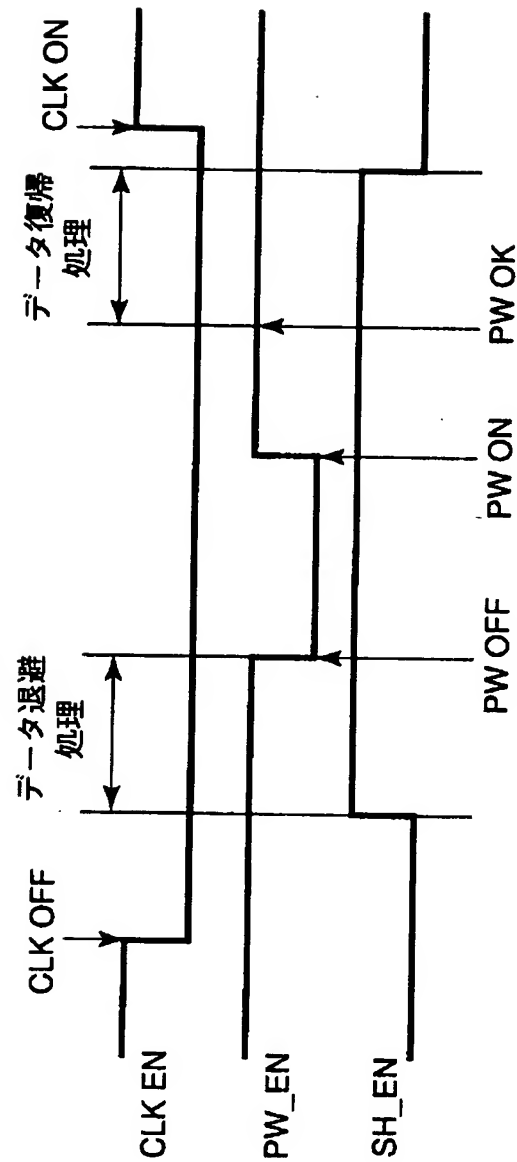
【図 4】



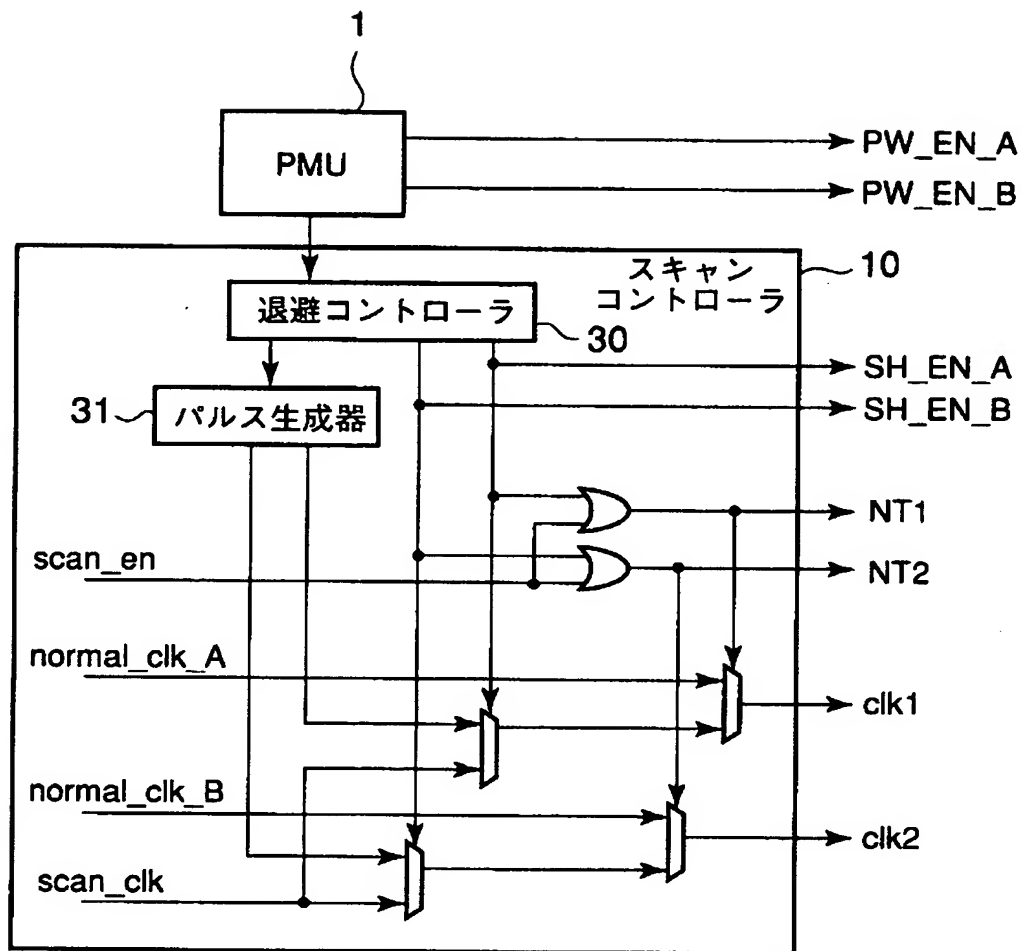
【図5】



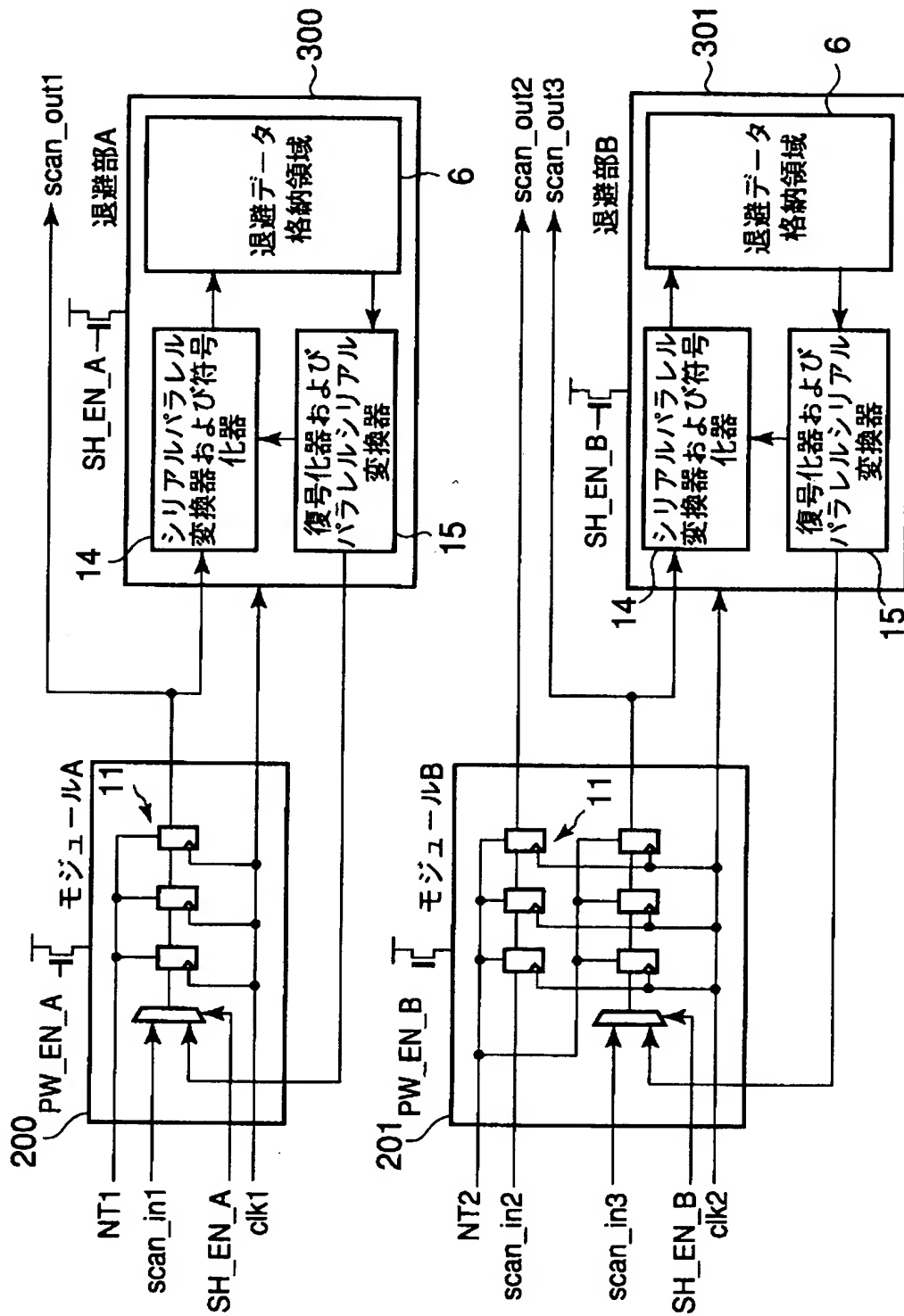
【図 6】



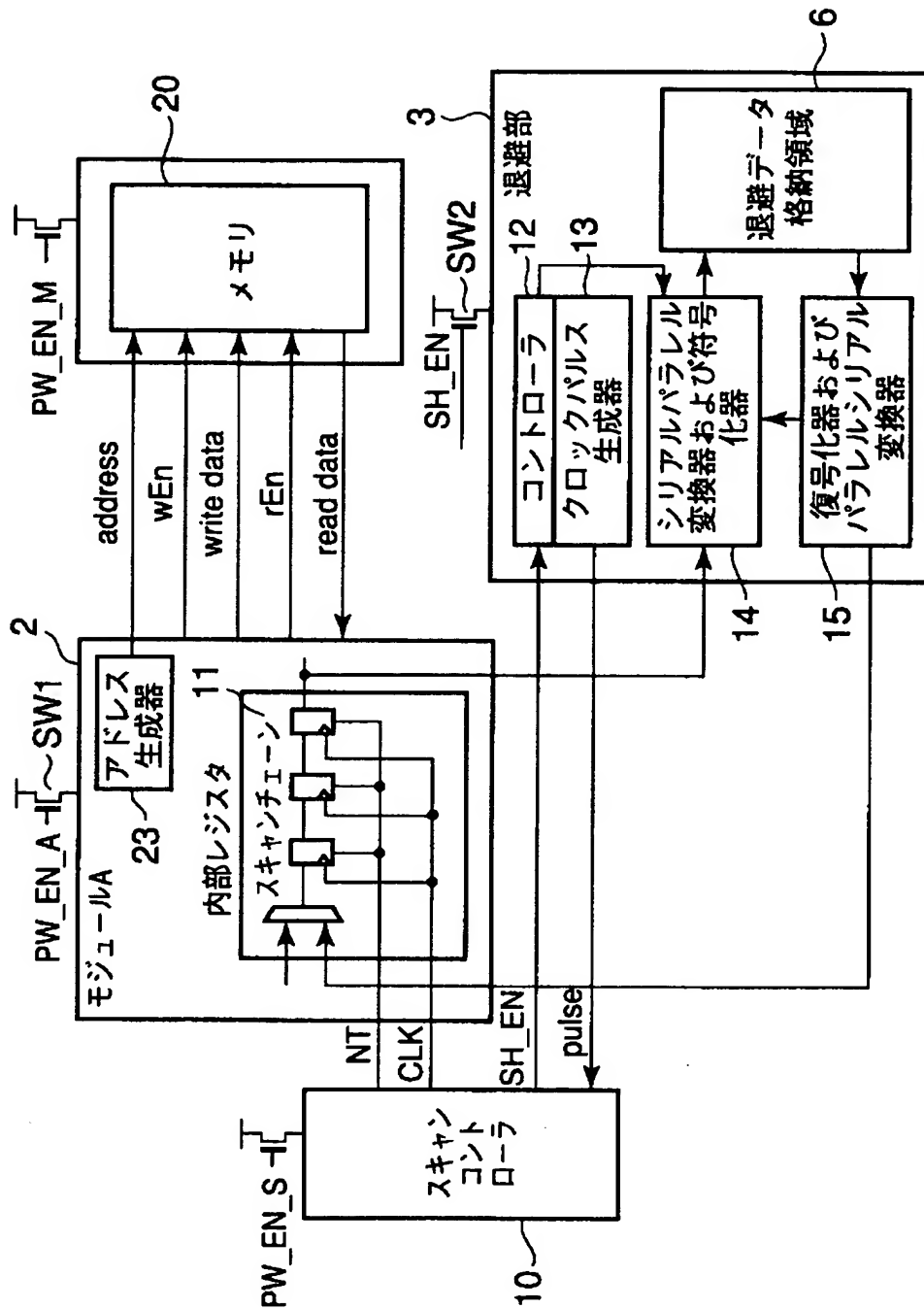
【図 7】



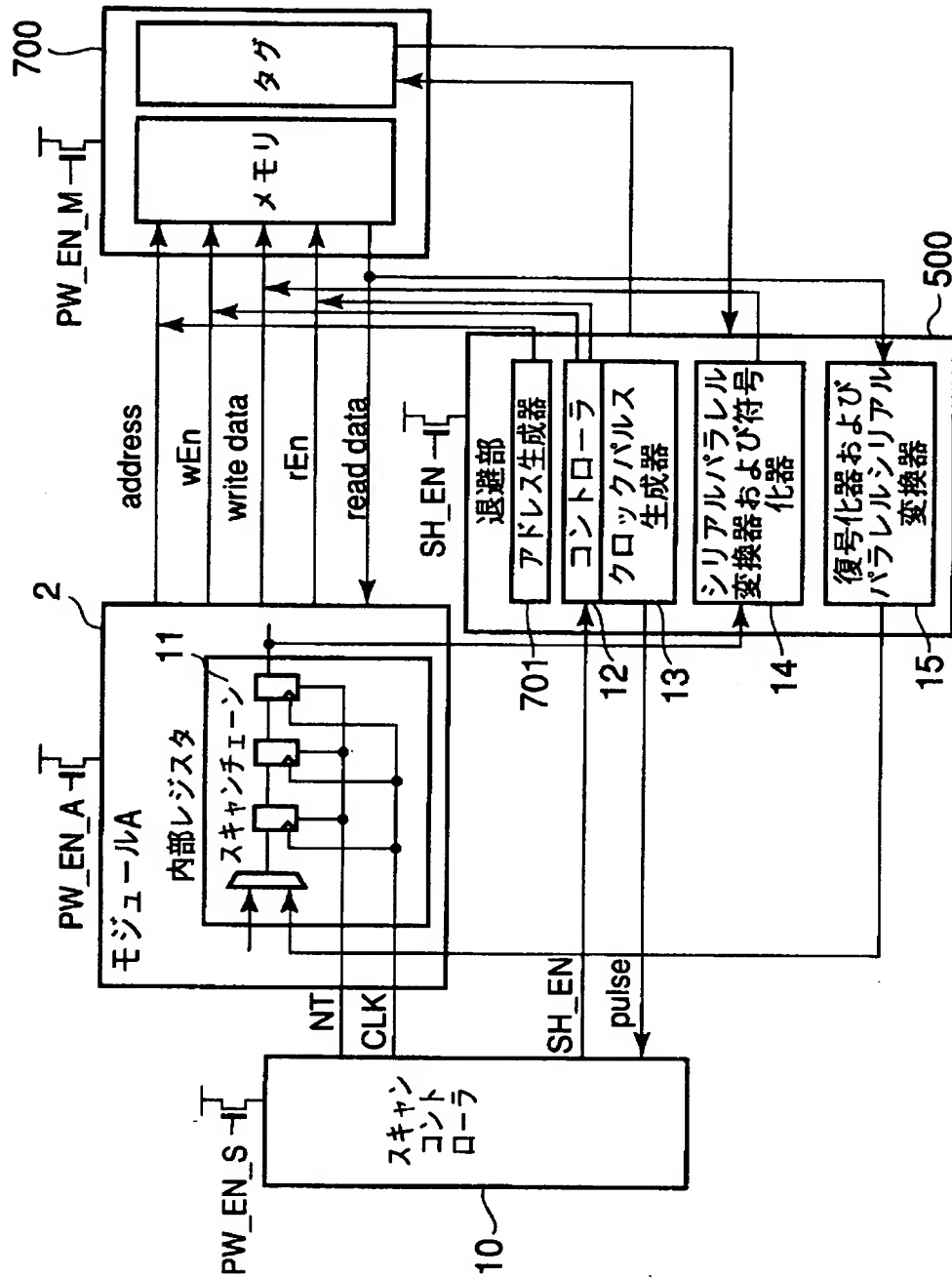
【図 8】



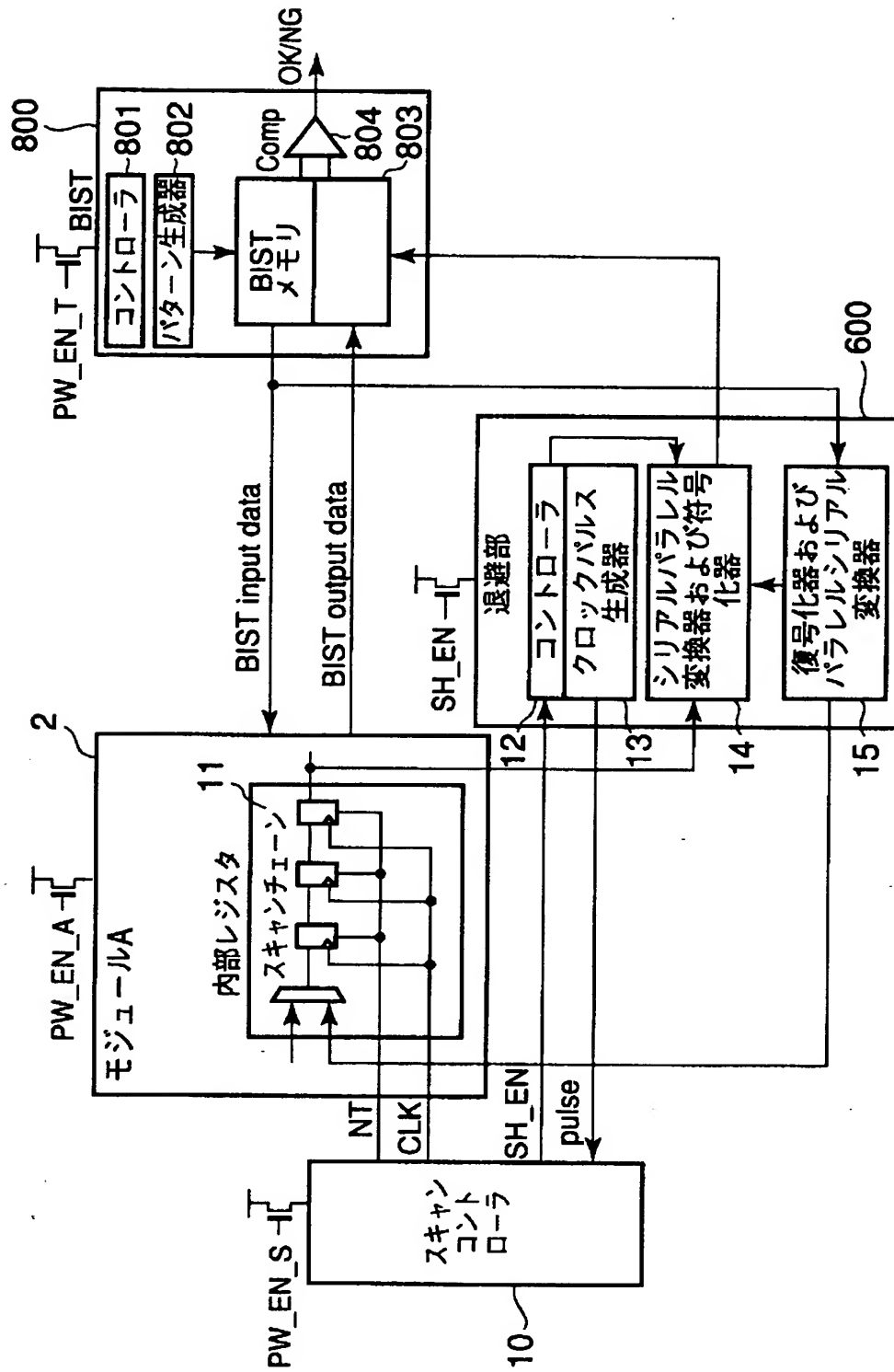
【図9】



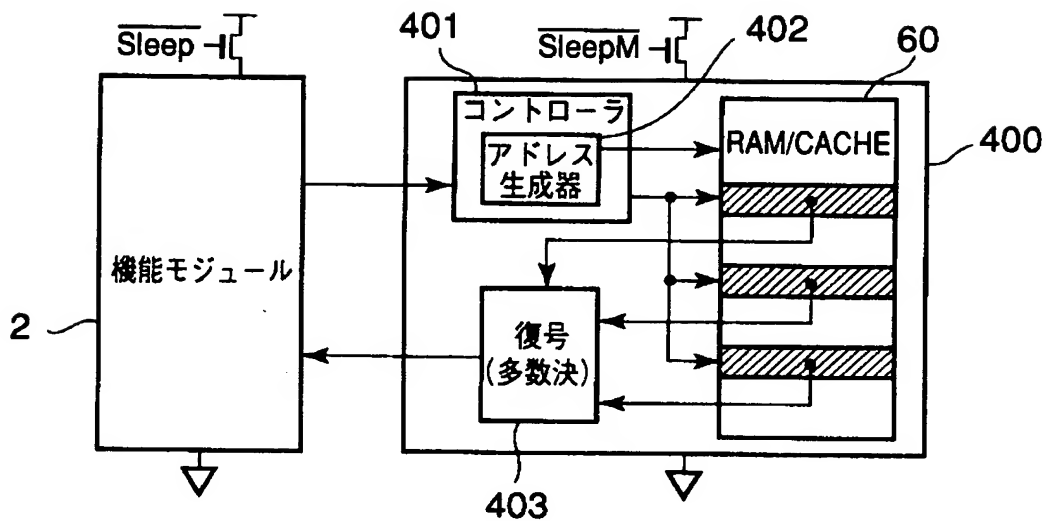
【図10】



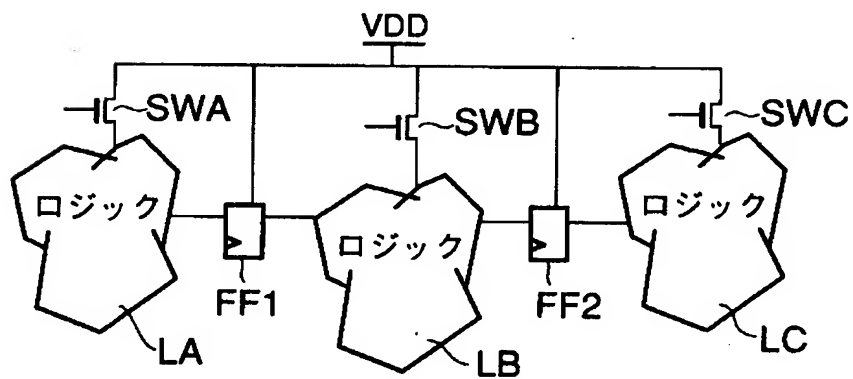
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】消費電力削減のために機能モジュール単位で柔軟に電源供給を制御でき、及びこれに伴い必要なデータの退避及び復帰を制御できる集積回路装置であって、しかも退避したデータの信頼性を低下させることがなく低コストで実現可能な集積回路装置を提供すること

【解決手段】退避クロック信号に同期して退避データを出力する少なくとも一つの機能モジュールと、該機能モジュールからいずれかの機能モジュールを選択し、選択された該機能モジュールへの電源供給の停止及び再開を制御する電源制御ユニットと、この電源制御ユニットにより選択された機能モジュールから出力された退避データを格納する退避データ格納部と、この退避データ格納部に格納された退避データが復帰クロック信号に同期して機能モジュールに復帰される際に、該退避データをエラー検出訂正するエラー検出訂正部とを具備する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [396023993]

1. 変更年月日 2001年 3月23日

[変更理由] 住所変更

住 所 神奈川県横浜市港北区新横浜3丁目17番地2 友泉新横浜ビル6階

氏 名 株式会社半導体理工学研究センター